

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-357666

(P2001-357666A)

(43)公開日 平成13年12月26日(2001.12.26)

(51)Int.Cl.⁷

図別記号

F I

ターミナル(参考)

G 1 1 C 11/14

G 1 1 C 11/14

Z 5 F 0 8 3

11/15

11/15

H 0 1 L 27/105

H 0 1 L 43/08

Z

43/08

27/10

4 4 7

審査請求 未請求 請求項の数17 O L (全 13 頁)

(21)出願番号 特願2000-181414(P2000-181414)

(71)出願人 000006013

三菱電機株式会社

(22)出願日 平成12年6月16日(2000.6.16)

東京都千代田区丸の内二丁目2番3号

(72)発明者 永井 享浩

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100062144

弁理士 山 根 (外2名)

Fターム(参考) 5F083 FZ10 GA09 GA10 JA36 JA38

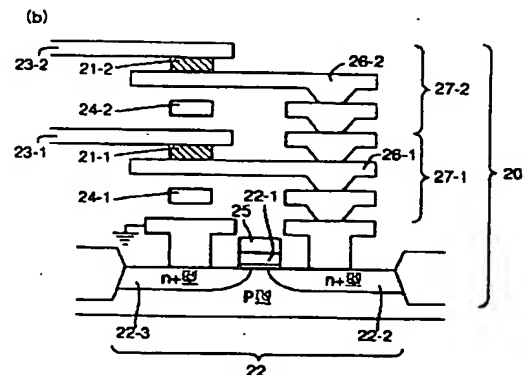
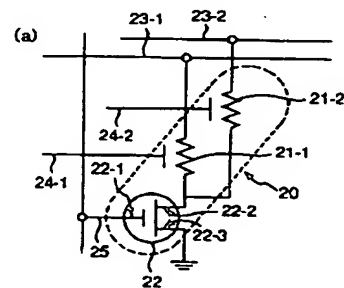
MA06 MA19 MA20

(54)【発明の名称】 磁気ランダムアクセスメモリ、磁気ランダムアクセスメモリへのアクセス方法および磁気ランダムアクセスメモリの製造方法

(57)【要約】

【課題】 単一のトランジスタに複数の磁性記憶素子を積層することにより、必要な構成素子数が少ない、メモリの集積度を大幅に向上した磁気ランダムアクセスメモリ等を提供する。

【解決手段】 各々が磁気的に情報を記憶する複数の磁性記憶素子と、複数の磁性記憶素子の各々に接続された複数のビット線と、複数の磁性記憶素子の各々の近傍に対応して配置され、その各々に磁界を印加して情報を書き込むために利用される複数の書き込み用ワード線と、第1の端子と第2の端子とを備えたスイッチであって、第1の端子は、第2の端子に電流を流すか否かを決定するために利用される単一の読み込み用ワード線に接続され、第2の端子は、複数の磁性記憶素子の各々に接続されたスイッチとを備えた、磁気ランダムアクセスメモリ等を提供する。



【特許請求の範囲】

【請求項1】 各々が磁氣的に情報を記憶する複数の磁性記憶素子と、

前記複数の磁性記憶素子の各々に接続された複数のビット線と、

前記複数の磁性記憶素子の各々の近傍に対応して配置され、その各々に磁界を印加して前記情報を書き込むために利用される複数の書き込み用ワード線と、

第1の端子と第2の端子とを備えたスイッチであって、前記第1の端子は、前記第2の端子に電流を流すか否かを決定するために利用される単一の読み込み用ワード線に接続され、前記第2の端子は、前記複数の磁性記憶素子の各々に接続されたスイッチとを備えた、磁気ランダムアクセスメモリ。

【請求項2】 前記スイッチは、前記第1の端子および前記第2の端子のいずれとも異なり、かつ所定の電圧が印加された第3の端子をさらに備えており、前記第1の端子に印加された電圧に基づいて、前記第3の端子を介して前記第2の端子に電流が流れる、請求項1に記載の磁気ランダムアクセスメモリ。

【請求項3】 前記複数の磁性記憶素子は、前記スイッチに垂直な方向に積層されている、請求項1に記載の磁気ランダムアクセスメモリ。

【請求項4】 前記書き込み用ワード線と前記ビット線とが直交し、かつ前記書き込み用ワード線と前記ビット線との間に前記磁性記憶素子が位置するように構成される、請求項3に記載の磁気ランダムアクセスメモリ。

【請求項5】 前記複数の磁性記憶素子のうちの対象磁性記憶素子への前記情報の書き込みは、

前記対象磁性記憶素子に対応する対象ビット線にビット線書き込み電流を流すステップと、

前記複数の書き込み用ワード線のうち対象磁性記憶素子に対応する対象書き込み用ワード線にワード線書き込み電流を流すステップと、

前記ビット線書き込み電流および前記ワード線書き込み電流により発生した前記磁界により、前記対象磁性記憶素子の磁化の方向を前記情報に対応する方向へ変化させるステップとからなる、請求項1に記載の磁気ランダムアクセスメモリへの情報書き込み方法。

【請求項6】 前記対象ビット線以外の少なくとも1つのビット線に電流を流すステップをさらに含む、請求項5に記載の情報書き込み方法。

【請求項7】 前記少なくとも1つのビット線に流す電流は、前記ビット線書き込み電流より小さい電流である、請求項6に記載の磁気ランダムアクセスメモリへの情報書き込み方法。

【請求項8】 前記少なくとも1つのビット線に電流を流すステップは、前記少なくとも1つのビット線と前記対象ビット線との位置関係に応じて、電流を流す方向を変化させるステップである、請求項6に記載の情報書き

込み方法。

【請求項9】 前記少なくとも1つのビット線に電流を流すステップは、前記少なくとも1つのビット線が前記対象ビット線より上に位置する場合には前記対象ビット線と同じ方向に電流を流し、前記少なくとも1つのビット線が前記対象ビット線より下に位置する場合には前記対象ビット線と逆方向に電流を流すステップである、請求項8に記載の情報書き込み方法。

【請求項10】 N個の前記磁性記憶素子を用いてN桁の2進数を表すよう前記情報を記録する、請求項4に記載の情報書き込み方法。

【請求項11】 前記複数の磁性記憶素子のうちの対象磁性記憶素子からの前記情報の読み込みは、

前記単一の読み込み用ワード線に読み込み用ワード線電圧を印加するステップと、

前記対象磁性記憶素子に対応する対象ビット線にビット線読み込み電流を流すステップと、

前記対象磁性記憶素子の端子電圧を検出するステップと、

前記端子電圧に基づいて、格納された前記情報の内容を判断するステップと、からなる、請求項1に記載の磁気ランダムアクセスメモリからの情報読み込み方法。

【請求項12】 前記対象ビット線と異なるリファレンスビット線に基準電流を流すステップと、

前記リファレンスビット線に接続された磁性記憶素子の基準端子電圧を検出するステップと、

前記基準端子電圧と前記端子電圧とに基づいて、格納された前記情報の内容を判断するステップとをさらに含む、請求項11に記載の磁気ランダムアクセスメモリからの情報読み込み方法。

【請求項13】 (a) 基板を提供するステップと、

(b) 前記基板の上に、第1の電極と、第2の電極と、第3の電極とを備えた単一のトランジスタであって、前記第1の電極に印加される電圧に応じて、前記第2の電極と第3の電極とを導通させる単一のトランジスタを形成するステップと、

(c) 前記単一のトランジスタと絶縁された書き込み用ワード線を形成するステップと、

(d) 前記単一のトランジスタの第2の電極に接続され、前記書き込み用ワード線の近傍に情報を記憶する磁性記憶素子を形成するステップと、

(e) 前記磁性記憶素子に接続され、かつ前記書き込み用ワード線と絶縁されたビット線を形成するステップと、

(f) 前記(c)～(e)のステップを繰り返すステップと、

からなる、磁気ランダムアクセスメモリの製造方法。

【請求項14】 前記(c)～(f)のステップは、前記書き込み用ワード線と、前記磁性記憶素子と、前記ビット線とを、前記基板上に形成された前記単一のトラン

ジスタに垂直な方向に積層するステップである、請求項13に記載の磁気ランダムアクセスメモリの製造方法。

【請求項15】 前記(d)のステップは、単一の読み込み用ワードラインを形成して前記第1の電極に接続するステップをさらに含む、請求項14に記載の磁気ランダムアクセスメモリの製造方法。

【請求項16】 前記(c)～(e)のステップは、前記書き込み用ワード線と前記ビット線とが直交し、かつ前記書き込み用ワード線と前記ビット線との間に前記磁性記憶素子が位置するように、前記書き込み用ワード線と、前記磁性記憶素子と、前記ビット線とを形成するステップである、請求項15に記載の磁気ランダムアクセスメモリの製造方法。

【請求項17】 前記(b)のステップは、前記第3の電極に所定の電圧を与えるステップをさらに含む、請求項16に記載の磁気ランダムアクセスメモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁性記憶素子を利用して磁気的に情報を記憶する磁気ランダムアクセスメモリに関する。より具体的には、本発明は、磁気ランダムアクセスメモリの構造、磁気ランダムアクセスメモリへのアクセス方法、および磁気ランダムアクセスメモリの製造方法に関する。

【0002】

【従来の技術】近年、磁気ランダムアクセスメモリ(MRAM: Magnetic Random Access Memory)の研究が盛んに進められている。磁気ランダムアクセスメモリとは、磁性記憶素子の磁気を利用してデータを記録する不揮発性メモリである。図15の(a)は、磁気ランダムアクセスメモリのメモリセル150の模式図を示す。メモリセル150は、1つの磁性記憶素子151と1つの金属酸化膜半導体電界効果トランジスタ(MOSFET)152とから構成されている。磁性記憶素子151の近傍には、磁性記憶素子151に情報を書き込むための書き込み用ワード線154が設けられる。トランジスタ152の第1電極152-1は磁性記憶素子151から情報を読み出すための読み込み用ワード線155と接続され、第2電極152-2は磁性記憶素子151と接続される。第3電極152-3は接地されている。また、磁性記憶素子151にはさらに、磁性記憶素子151に情報を書き込み、および磁性記憶素子151から情報を読み出す際に利用されるビット線153が接続される。以上の説明によれば、メモリセル150は1本の読み込み用ワード線155および1つのトランジスタ152に対して、1つの磁性記憶素子151が存在するよう構成されているといえる。

【0003】図15の(b)は、メモリセル150の断面図を示す。図示されるように、磁性記憶素子151、

ビット線153および書き込み用ワード線154は、読み込み用ワード線155またはトランジスタ152の上に積み上げられている。磁性記憶素子151はトランジスタ152よりも小さいため、メモリセル150の大きさはトランジスタ152の大きさによって決定される。したがって、トランジスタ152を小さくすればそれだけセル面積が小さくなり、集積度を向上できる。

【0004】

【発明が解決しようとする課題】しかし、トランジスタ152の小型化に基づく集積度の向上にも限界がある。より詳しく説明すれば、メモリセル150では、磁性記憶素子151としてGMR素子またはTMR素子のいずれを用いるかによって、その膜の特性に応じたトランジスタ152の抵抗を決定する必要があるが、トランジスタ152の抵抗はその寸法にも依存する(条件1)。さらにトランジスタ152は、1つのメモリセル150に必ず1つ存在する(条件2)。よって、一定の面積のチップに集積可能なトランジスタ152の大きさおよび数は、条件1および条件2により大きく制限されることになる。これでは、小さい面積で、かつ少ない素子数で、大容量のメモリを得ることができない。

【0005】本発明の目的は、単一のトランジスタに複数の磁性記憶素子を積層することにより、メモリの集積度を大幅に向上させ、かつ必要な構成素子数が少ない磁気ランダムアクセスメモリを提供することである。さらに本発明の目的は、そのような磁気ランダムアクセスメモリに情報を書き込む方法および磁気ランダムアクセスメモリの製造方法を提供することである。

【0006】

【課題を解決するための手段】本発明の磁気ランダムアクセスメモリは、各々が磁気的に情報を記憶する複数の磁性記憶素子と、前記複数の磁性記憶素子の各々に接続された複数のビット線と、前記複数の磁性記憶素子の各々の近傍に対応して配置され、その各々に磁界を印加して前記情報を書き込むために利用される複数の書き込み用ワード線と、第1の端子と第2の端子とを備えたスイッチであって、前記第1の端子は、前記第2の端子に電流を流すか否かを決定するために利用される単一の読み込み用ワード線に接続され、前記第2の端子は、前記複数の磁性記憶素子の各々に接続されたスイッチとを備えており、これにより上記目的が達成される。

【0007】前記スイッチは、前記第1の端子および前記第2の端子のいずれとも異なり、かつ所定の電圧が印加された第3の端子をさらに備えており、前記第1の端子に印加された電圧に基づいて、前記第3の端子を介して前記第2の端子に電流が流れてもよい。

【0008】前記複数の磁性記憶素子は、前記スイッチに垂直な方向に積層されていてもよい。

【0009】前記書き込み用ワード線と前記ビット線とが直交し、かつ前記書き込み用ワード線と前記ビット線

との間に前記磁性記憶素子が位置するように構成されていてもよい。

【0010】本発明の磁気ランダムアクセスメモリへの情報書き込み方法によれば、前記複数の磁性記憶素子のうち対象磁性記憶素子への前記情報の書き込みは、前記対象磁性記憶素子に対応する対象ビット線にビット線書き込み電流を流すステップと、前記複数の書き込み用ワード線のうち対象磁性記憶素子に対応する対象書き込み用ワード線にワード線書き込み電流を流すステップと、前記ビット線書き込み電流および前記ワード線書き込み電流により発生した前記磁界により、前記対象磁性記憶素子の磁化の方向を前記情報に対応する方向へ変化させるステップとからなり、それにより上記目的が達成される。

【0011】前記対象ビット線以外の少なくとも1つのビット線に電流を流すステップをさらに含んでもよい。

【0012】前記少なくとも1つのビット線に流す電流は、前記ビット線書き込み電流より小さい電流であってもよい。

【0013】前記少なくとも1つのビット線に電流を流すステップは、前記少なくとも1つのビット線と前記対象ビット線との位置関係に応じて、電流を流す方向を変化させるステップであってもよい。

【0014】前記少なくとも1つのビット線に電流を流すステップは、前記少なくとも1つのビット線が前記対象ビット線より上に位置する場合には前記対象ビット線と同じ方向に電流を流し、前記少なくとも1つのビット線が前記対象ビット線より下に位置する場合には前記対象ビット線と逆方向に電流を流すステップであってもよい。

【0015】N個の前記磁性記憶素子を用いてN桁の2進数を表すよう前記情報を記録してもよい。

【0016】前記複数の磁性記憶素子のうち対象磁性記憶素子からの前記情報の読み込み方法は、前記複数の磁性記憶素子のうち対象磁性記憶素子からの前記情報の読み込みは、前記単一の読み込み用ワード線に読み込み用ワード線電圧を印加するステップと、前記対象磁性記憶素子に対応する対象ビット線にビット線読み込み電流を流すステップと、前記対象磁性記憶素子の端子電圧を検出するステップと、前記端子電圧に基づいて、格納された前記情報の内容を判断するステップと、からなる読み込み方法であり、これにより上記目的が達成される。

【0017】前記情報の読み込み方法は、前記対象ビット線と異なるリファレンスビット線に基準電流を流すステップと、前記リファレンスビット線に接続された磁性記憶素子の基準端子電圧を検出するステップと、前記基準端子電圧と前記端子電圧とに基づいて、格納された前記情報の内容を判断するステップとをさらに含んでもよい。

もよい。

【0018】本発明の磁気ランダムアクセスメモリの製造方法は、(a)基板を提供するステップと、(b)前記基板の上に、第1の電極と、第2の電極と、第3の電極とを備えた単一のトランジスタであって、前記第1の電極に印加される電圧に応じて、前記第2の電極と第3の電極とを導通させる単一のトランジスタを形成するステップと、(c)前記単一のトランジスタと絶縁された書き込み用ワード線を形成するステップと、(d)前記単一のトランジスタの第2の電極に接続され、前記書き込み用ワード線の近傍に情報を記憶する磁性記憶素子を形成するステップと、(e)前記磁性記憶素子に接続され、かつ前記書き込み用ワード線と絶縁されたビット線を形成するステップと、(f)前記(c)～(e)のステップを繰り返すステップとからなり、これにより上記目的が達成される。

【0019】前記(c)～(f)のステップは、前記書き込み用ワード線と、前記磁性記憶素子と、前記ビット線とを、前記基板上に形成された前記単一のトランジスタに垂直な方向に積層するステップであってもよい。

【0020】前記(d)のステップは、単一の読み込み用ワードラインを形成して前記第1の電極に接続するステップをさらに含んでもよい。

【0021】前記(c)～(e)のステップは、前記書き込み用ワード線と前記ビット線とが直交し、かつ前記書き込み用ワード線と前記ビット線との間に前記磁性記憶素子が位置するように、前記書き込み用ワード線と、前記磁性記憶素子と、前記ビット線とを形成するステップであってもよい。

【0022】前記(b)のステップは、前記第3の電極に所定の電圧を与えるステップをさらに含んでもよい。

【0023】

【発明の実施の形態】以下、添付の図面を参照して本発明の実施の形態を説明する。図面において、同じ符号は同一または同等の構成要素を示す。

【0024】図1は、本発明による磁気ランダムアクセスメモリ10を示す。磁気ランダムアクセスメモリ10は、メモリアレイ11と、その駆動回路12とを含む。磁気ランダムアクセスメモリ10は、例えばコンピュータの中央処理装置(図示せず)等から受信した情報をメモリアレイ11に格納し、または磁気ランダムアクセスメモリ11から読み出した情報を中央処理装置(図示せず)等に送信するよう機能する。メモリアレイ11は、複数のメモリセルユニット(図示せず)から構成される。駆動回路12は、複数の駆動線のそれぞれを選択的に駆動できるよう構成されている。すなわち駆動回路12は、ビット線を駆動するためのビット線駆動回路13、書き込み用ワード線を駆動するための書き込み用ワード線駆動回路14および読み込み用ワード線を駆動す

る読み込み用ワード線駆動回路15を備えている。これらの回路により、メモリアレイ11の中の所望のメモリセルユニットを特定し、さらにそのメモリセルユニット中の磁気記憶素子を特定し、どのような情報を記憶するか、または記憶された情報を読み出すかを制御できる。

【0025】図2の(a)は、本発明による磁気メモリセルユニット20の模式図を示す。磁気メモリセルユニット20は、2つの磁性記憶素子21-1、21-2と、1つの金属酸化膜半導体電界効果トランジスタ(MOSFET)22とから構成されている。以下では、金属酸化膜半導体電界効果トランジスタを単に「トランジスタ」と呼ぶ。2つの磁性記憶素子21-1、21-2は、それぞれが1ビットの情報を記憶する素子である。磁性記憶素子の数は2つに限られず、図14に示すような4つ等、複数を集積させることができる。一方トランジスタ22は、情報の読み出しの際に、特定の磁気メモリセルユニット20を選択するためのスイッチとして利用される。以上のような構成により、必要な構成素子数を減少でき、トランジスタ22の小型化とは別の観点からメモリの集積度を劇的に向上できる。例えば、単一の磁気メモリセルユニット20に含まれる磁性記憶素子の数をN個とすることで、従来の磁気ランダムアクセスメモリと同じ面積でN倍の情報を記憶できる。

【0026】以下、磁気メモリセルユニット20を説明する。それぞれの磁性記憶素子21-1、21-2の近傍には、磁性記憶素子21-1、21-2に情報を書き込むための書き込み用ワード線24-1、24-2が設けられる。トランジスタ22の第1電極22-1には磁性記憶素子21-1、21-2から情報を読み出すための読み込み用ワード線25が接続され、第2電極22-2には磁性記憶素子21-1、21-2の両方が接続される。トランジスタ22の第3電極22-3は接地されており、基準電圧(0V)が与えられている。また、磁性記憶素子21-1、21-2端子にはさらに、磁性記憶素子21-1、21-2に情報を書き込み、かつ磁性記憶素子21-1、21-2から情報を読み出す際に利用されるビット線23-1、23-2が接続される。以上の説明によれば、本発明による磁気メモリセルユニット20は、1つのトランジスタ22または1本の読み込み用ワード線25に対して2つの磁性記憶素子21-1、21-2が存在するよう構成されている。

【0027】続いて磁気メモリセルユニット20の物理的構造を説明する前に、図3を参照して、磁性記憶素子への一般的な情報の読み込み/書き込み動作を説明する。図3は、磁性記憶素子31に情報を記憶し、磁性記憶素子31から情報を読み出すための動作原理を示す。

【0028】まず、磁性記憶素子31に情報を記憶する方法を説明する。情報の記憶は、磁性記憶素子31に磁界を印加して、強磁性層の磁化の方向を変化させることにより行われる。図3の(a)は、情報(状態)「0」

を記憶した磁性記憶素子31を示す。磁性記憶素子31は、下側の強磁性層32と、上側の強磁性層33と、それらの間に挟まれた非磁性層34とから構成されている。磁性記憶素子31は、例えば、TMR (Tunneling Magnetoresistive) 素子や、GMR (Giant Magnetoresistive) 素子であることが好ましい。磁性記憶素子31の近傍には、磁性記憶素子31に情報を書き込むための書き込み用ワード線35が設けられている。一般に、磁性記憶素子31の下側の強磁性層32の磁化の方向と上側の強磁性層33の磁化の方向とが同一の場合(この例では、いずれもX軸の正方向を向いている場合)には、磁性記憶素子31は「0」を格納しているとされる。なお、下側の強磁性層32(書き込み用ワード線35からより遠くに位置する強磁性層32)の磁化の方向はX軸の正方向から変化しないよう設計される。磁性記憶素子31の下側の強磁性層32の磁化の方向と上側の強磁性層33の磁化の方向とを同一にするためには、書き込み用ワード線35にY軸の負方向に電流を流せばよい。書き込み用ワード線35の周りには時計回りに磁界が発生し、上側の強磁性層33にX軸の正方向の磁界を印加できるからである。このようにして、磁性記憶素子31に情報「0」が記憶される。

【0029】次に、図3の(b)は、情報「1」を記憶した磁性記憶素子31を示す。一般に、磁性記憶素子31の下側の強磁性層32の磁化の方向と上側の強磁性層33の磁化の方向とが逆向きの場合(下側の強磁性層32の磁化の方向がX軸方向、上側の強磁性層33の磁化の方向がY軸方向を向いている場合)には、磁性記憶素子31は「1」を格納しているとされる。それぞれの強磁性層の磁化の方向をこのように設定するためには、書き込み用ワード線35にY軸の正方向に電流を流し、上側の強磁性層33にX軸の負方向の磁界を印加すればよい。なお下側の強磁性層32の磁化の方向は、この磁界により磁化の方向が変化しないように設計される(電流の大きさが調整される)。このようにして、磁性記憶素子31に情報「1」が記憶される。

【0030】続いて磁性記憶素子31から情報を読み出す方法を説明する。情報の読み込みは、磁性記憶素子31の積層面に垂直な方向に一定の電流Iを流し、磁性記憶素子31の両端の電圧を検出することにより行われる。図3の(c)は、情報「0」が読み出される磁性記憶素子31を示す。まず、磁性記憶素子31の積層面に垂直な方向に設けられたビット線36に、一定の電流Iが流される。電流Iは、磁性記憶素子31内を流れる。そして磁性記憶素子31の両端の電圧 V_0 が検出される。磁性記憶素子31の下側の強磁性層32の磁化の方向と上側の強磁性層33の磁化の方向とが同一である場合には、磁性記憶素子31の抵抗が比較的小さいことが知られている。したがって、検出された電圧 V_0 も小さくなる。これにより、その磁性記憶素子31に記憶され

ている情報が「0」であることを判定できる。なお、流した電流 I の大きさと検出した電圧 V_0 に基づいて、 $R_0 = V_0 / I$ により抵抗値 R_0 を求め、その抵抗値 R_0 が比較的小さいと判断することにより、磁性記憶素子31に記憶されている情報が「0」であることを判定してもよい。

【0031】次に、図3の(d)は、情報「1」が読み出される磁性記憶素子31を示す。この場合も同様に磁性記憶素子31の積層面に垂直な方向に設けられたビット線36に、一定の電流 I が流される。そして磁性記憶素子31の両端の電圧 V_1 が検出される。磁性記憶素子31の下側の強磁性層32の磁化の方向と上側の強磁性層33の磁化の方向とが逆向きである場合には、磁性記憶素子31の抵抗が比較的大きいことが知られている。したがって、検出された磁性記憶素子31の両端の電圧 V_1 は大きくなる($V_1 > V_0$)。これにより、その磁性記憶素子31に記憶されている情報が「1」であることを判定できる。なお、流した電流 I の大きさと検出した電圧 V_1 に基づいて、 $R_1 = V_1 / I$ により抵抗値 R_1 を求め、その抵抗値 R_1 が比較的大きいと判断することにより磁性記憶素子31に記憶されている情報が「1」であることを判定してもよい。

【0032】以上、磁性記憶素子に情報を記憶させ、また磁性記憶素子から情報を読み出す方法を説明した。続いて図2の(b)を参照して、本発明による磁気メモリセルユニット20の構造を説明する。図2の(b)は、(a)の磁気メモリセルユニット20の断面図を示す。磁気メモリセルユニット20は、基板上に形成されたトランジスタ22に垂直な方向に、順に読み込み用ワード線25、第1セル27-1、第2セル27-2とが積層されて構成されている。トランジスタ22の第1電極22-1は読み込み用ワード線25と接続され、トランジスタ22の第3電極22-3は接地されており、基準電圧(0V)が与えられている。トランジスタ22の第2電極22-2は、第1セル27-1および第2セル27-2の各々と接続されている。

【0033】第1セル27-1では、書き込み用ワード線24-1、下部電極26-1、磁性記憶素子21-1、ビット線23-1が基板側から順に基板に垂直な方向に積層されている。図2の(a)でも説明したように、書き込み用ワード線24-1以外の構成要素は、トランジスタ22の第2電極22-2と接続されている。同様に、第2セル27-2には、書き込み用ワード線24-2、下部電極26-2、磁性記憶素子21-2、ビット線23-2が基板側から順に基板に垂直な方向に積層されている。書き込み用ワード線24-2以外の構成要素は、下部電極26-1を介してトランジスタ22の第2電極22-2と接続されている。上述した構成要素が存在する領域の周囲の領域には、絶縁層が形成されている。

【0034】続いて第1セル27-1の構造をより詳しく説明する。第1セル27-1では、書き込み用ワード線24-1は紙面に垂直な方向に延びるように設けられ、磁性記憶素子21-1の近傍に設けられている。書き込み用ワード線24-1は、流れる電流に基づく磁界を磁性記憶素子21-1に印加する。磁性記憶素子21-1は、下部電極26-1およびビット線23-1との間に設けられる。このビット線23-1は、磁性記憶素子21-1に情報を書き込む際にも利用され、書き込み用ワード線24-1と平行でなく、例えば直交するように配置される。よって、磁性記憶素子21-1は、ビット線23-1および書き込み用ワード線24-1との間に設けられるといえる。なお、第2セル27-2の構造は第1セル27-1の構造と同様なので、その説明は省略する。

【0035】ビット線23-1が書き込み用ワード線24-1と平行にならないように配置される理由は以下のとおりである。図3の(a)および(b)を参照して説明したように、1本の書き込み用ワード線35があれば、「0」または「1」の情報を磁性記憶素子31に書き込むことができる。しかし、現在研究開発されている磁気ランダムアクセスメモリでは、多数の磁性記憶素子を集積化した場合を考慮して、2本の電流線、すなわち書き込み用ワード線およびビット線を利用して情報の書き込みが行われる。書き込み用ワード線およびビット線のいずれか1本の線に流れる電流のみでは磁化の反転に必要な磁界が生じないように、印加される電圧、換言すれば流れる電流の大きさが調整される。一方、書き込み用ワード線およびビット線のいずれにも電流が流れている位置では、各電流により磁界が生じ、2つの磁界の和(合成磁界)が磁性記憶素子に印加される。この合成磁界の大きさが磁化の反転に十分な大きさになるようにすることで、書き込み用ワード線およびビット線の交点に位置する磁性記憶素子にのみ情報を書き込むことができる。換言すれば、所望の磁性記憶素子の上および下に存在する書き込み用ワード線およびビット線を選択して電流を流すことにより、その所望の磁性記憶素子に合成磁界を印加し、その磁性記憶素子にのみ情報を書き込むことができる。したがって、書き込み用ワード線およびビット線が平行に配置されないことが必要となる。なお、どの書き込み用ワード線およびビット線を選択するかは、書き込み用ワード線駆動回路14(図1)およびビット線駆動回路13(図1)により制御される。

【0036】続いて、図4~図13を参照して、磁気メモリセルユニット20(図2の(b))の製造過程を説明する。各図は磁気メモリセルユニット20(図2の(b))の製造過程を順を追って示す。なお、以下のようにして製造される磁気メモリセルユニット20(図2の(b))を駆動回路12(図1)とあわせて集積することにより、容易に磁気ランダムアクセスメモリ10

(図1)を得ることができる。駆動回路12(図1)は、さらに以下に説明するように動作するものであれば周知の駆動回路を利用できる。したがって、駆動回路12(図1)および磁気ランダムアクセスメモリ10(図1)の製造過程は特に説明しない。以下では、参照符号は各図の説明に必要なものにのみ付し、すでに説明した構成要素には付さないが、各図間で対応する箇所は同じ構成要素を表す。

【0037】図4は、トランジスタ22および読み込み用ワード線25が形成された基板40を示す。形成過程は以下のとおりである。まずSi基板40に複数のトランジスタが形成される。ここでは、複数のトランジスタのうちトランジスタ22(Nチャネル型MOSFET)のみを示す。Nチャネル型MOSFETは、P型シリコン基板40に不純物濃度の高い2つのn型領域(電極)22-2、22-3を互いに近接して埋め込み、両電極22-2、22-3の上に薄い酸化膜(SiO₂)22-4を堆積し、最後にその上にAl、Au等を蒸着してゲート電極(第1電極)22-1を形成することにより作製できる。また、複数のトランジスタ相互を電氣的に絶縁するために、例えば、TEOS(Tetra Ethyle Ortho Silicate)等を用いて素子分離領域41-1および41-2も同時に形成される。このように形成されたトランジスタ22の第1電極22-1上に、読み込み用ワード線25が形成される。

【0038】図5は、第1孤立プラグ54とグランド接続配線56とがさらに形成された基板40を示す。グランド接続配線56は接地されている。第1孤立プラグ54とグランド接続配線56の周囲の領域には、層間絶縁膜52が存在する。

【0039】このような基板40の形成過程は以下のとおりである。

【0040】(5-1)まず基板40上に、例えばCVD(Chemical Vapor Deposition)を利用して、SiO₂からなる層間絶縁膜52が成膜される。

【0041】(5-2)その基板40にはフォトリソが塗布され、フォトリソを介して紫外線を照射することにより、所望のレジストパターンが得られる。この工程はリソグラフィと呼ばれる。フォトリソは、第1孤立プラグ54およびグランド接続配線56のコンタクトホールを設ける位置および形状に基づいて用意される。

【0042】(5-3)レジストパターン部分のSiO₂がエッチングにより除去され、塗布されたフォトリソが除去される。このようにして、第1孤立プラグ54およびグランド接続配線56のコンタクトホールが設けられる。

【0043】(5-4)そのコンタクトホールに金属が蒸着される。ただし、通常の蒸着プロセスによれば、コンタクトホールに加え、層間絶縁膜52の表面にも金属

が蒸着される。したがって、第1孤立プラグ54およびグランド接続配線56を所望の形状に成形するために、すなわち蒸着された金属のうち不要な金属を除去するために、再びリソグラフィおよびエッチングが行われる。最後にグランド接続配線56が、接地される。

【0044】以上のように、層間絶縁膜52、第1孤立プラグ54およびグランド接続配線56が形成される。なお、リソグラフィ、エッチングおよび蒸着は周知の技術であるので、本明細書においてその具体的な説明は省略する。

【0045】図6は、書き込み用ワード線24-1と第2孤立プラグ64とがさらに形成された基板40を示す。第2孤立プラグ64の周囲の領域には、層間絶縁膜62が存在する。その過程は、図5を参照して説明したのと全く同様である。すなわち、上記(5-1)で説明したように、層間絶縁膜52(図5)の上にさらに層間絶縁膜が成膜され、層間絶縁膜62が形成される。次に(5-2)および(5-3)で示すように、第2孤立プラグ64のコンタクトホールが形成される。コンタクトホールは、第2孤立プラグ64が第1孤立プラグ54と電氣的に接続されるように、第1孤立プラグ54の上部にまで延びる。最後に(5-4)で示すように、そのコンタクトホールおよび層間絶縁膜62の表面に金属が蒸着され、書き込み用ワード線24-1と第2孤立プラグ64が所望の形状になるように、蒸着された金属のうち不要な金属をリソグラフィおよびエッチングで除去する。以上のようにして書き込み用ワード線24-1と第2孤立プラグ64とが形成される。

【0046】図7は、第1下部電極74がさらに形成された基板40を示す。第1下部電極74は、第2孤立プラグ64に電氣的に接続されている。第1下部電極74の周囲の領域には、層間絶縁膜72が存在する。層間絶縁膜72の成膜および第1下部電極74の形成は、図5および6を参照してした上記(5-1)~(5-4)の説明と全く同様であるので、その説明は省略する。

【0047】図8は、磁性記憶素子21-1がさらに形成された基板40を示す。磁性記憶素子21-1は、第1下部電極74に電氣的に接続されている。すでに説明したように、磁性記憶素子21-1は、基板40および書き込み用ワード線に近い側から順に、強磁性層33

(図3)、非磁性層34(図3)および強磁性層32

(図3)が積層されたTMR素子またはGMR素子である。まず、第1下部電極74の形に合わせてTMR素子またはGMR素子が形成される。そして、磁性記憶素子21-1として必要な大きさおよび形状を得るために、これまでの説明と同様フォトリソおよびエッチング(例えば、イオン・エッチング)が行われる。以上のように磁性記憶素子21-1が形成される。なお、層間絶縁膜82は第1下部電極74の上面とほぼ同じレベルまで成膜されている。層間絶縁膜82を成膜する手順はこ

れまでの説明と全く同じであるので、その説明は省略する。

【0048】図9は、ビット線23-1と第3孤立プラグ94とがさらに形成された基板40を示す。ビット線23-1は、磁性記憶素子21-1と電氣的に接続されている。一方、第3孤立プラグ94は、第1下部電極74と電氣的に接続されている。ビット線23-1と第3孤立プラグ94の周囲の領域には、層間絶縁膜92が存在する。ビット線23-1、第3孤立プラグ94の形成および層間絶縁膜92の成膜は、図5および6を参照してした上記(5-1)～(5-4)の説明と全く同様であるので、その説明は省略する。

【0049】ここまでの、第1セル27-1(図2の(b))の形成過程である。本発明では、第1セル27-1(図2の(b))の上にさらに第2セル27-2(図2の(b))を積層させることにより集積度を向上させる。

【0050】図10は、書き込み用ワード線24-2と第4孤立プラグ104とがさらに形成された基板40を示す。第4孤立プラグ104は、第3孤立プラグ94と電氣的に接続されている。第4孤立プラグ104の周囲の領域には、層間絶縁膜102が存在する。この形成過程は、図6を参照して説明した書き込み用ワード線24-1および第2孤立プラグ64の形成過程と完全に対応するので、その説明は省略する。

【0051】図11は、第2下部電極114がさらに形成された基板40を示す。第2下部電極114は、第4孤立プラグ104に電氣的に接続されている。第2下部電極114の周囲の領域には、層間絶縁膜112が存在する。この形成過程は、図7を参照して説明した第1下部電極74の形成過程と完全に対応するので、その説明は省略する。

【0052】図12は、磁性記憶素子21-2がさらに形成された基板40を示す。磁性記憶素子21-2は、第2下部電極114に電氣的に接続されている。層間絶縁膜122は第2下部電極114の上面とほぼ同じレベルまで成膜されている。磁性記憶素子21-2の構造、およびこの形成過程は、図8を参照して説明した磁性記憶素子21-1の構造および形成過程と完全に対応するので、その説明は省略する。

【0053】図13は、ビット線23-2と第5孤立プラグ134とがさらに形成された基板40を示す。ビット線23-2は、磁性記憶素子21-2と電氣的に接続されている。一方、第5孤立プラグ134は、第2下部電極114と電氣的に接続されている。ビット線23-2と第5孤立プラグ134の周囲の領域には、層間絶縁膜132が存在する。この形成過程は、図9を参照して説明したビット線23-1および第3孤立プラグ94の形成過程と完全に対応するので、その説明は省略する。

【0054】以上、磁気メモリセルユニット20(図2

の(b))の製造過程を説明した。図13の説明に関して、本実施の形態では、2つのセル27-1、27-2(図2の(b))により磁気メモリセルユニット20

(図2の(b))を構成するとしているので、第5孤立プラグ134(図13)を設けず、それに代えてビット線23-2が層間絶縁膜132の上面を覆うように構成してもよい。一方、3以上のセルを含む磁気メモリセルユニット20(図2の(b))を形成する場合には、図10～図13を参照して説明した工程を繰り返し、セルをトランジスタ22(図4)に垂直な方向に積層させて磁気メモリセルユニット20(図2の(b))を形成すればよい。

【0055】再び図2の(b)を参照して、磁気メモリセルユニット20へのアクセス方法を具体的に説明する。「アクセス」とは、磁気メモリセルユニット20へ情報を書き込み、および磁気メモリセルユニット20から情報を読み出すことをいう。磁気メモリセルユニット20へのアクセスは、駆動回路12(図1)により制御される。以下説明される「ビット線を選択する」、「情報を書き込む/読み出す」、「電圧を印加する」、「電流を流す」等の動作は、すべて駆動回路12(図1)の制御の下で行われる。これらの動作は、ビット線駆動回路13(図1)、書き込み用ワード線駆動回路14(図1)および読み込み用ワード線駆動回路15(図1)が必要な配線を選択することにより行われる。

【0056】まず、各磁性記憶素子21-1、21-2に情報を書き込む際の磁気メモリセルユニット20の動作を説明する。例えば、磁性記憶素子21-2に情報を書き込む場合は、まず書き込み用ワード線駆動回路14(図1)およびビット線駆動回路13(図1)が書き込み用ワード線24-2およびビット線23-2を選択してそれぞれワード線書き込み電流およびビット線書き込み電流を流す。磁性記憶素子21-2には書き込み用ワード線24-2およびビット線23-2のそれぞれに流れる電流に基づく合成磁界が印加され、磁性記憶素子21-2にのみ情報が書き込まれる。磁気メモリセルユニット20への情報の書き込みは上述のようにして実現される。

【0057】このような通常の手書き込み方法に加え、書き込みに対する信頼性を高めるために別の方法で情報を書き込むこともできる。すなわち、磁性記憶素子21-2に情報を書き込むにあたり、ビット線23-2以外の他のビット線23-1にも電流を流す書き込み方法である。「書き込みに対する信頼性」には、磁性記憶素子21-2に情報を書き込むにあたって、(i)磁性記憶素子21-2に確実に所望の情報を書き込むという意味、および(ii)他の磁性記憶素子21-1に誤って情報を書き込まないようにする意味、がある。以下、(i)および(ii)のそれぞれを実現する書き込み方法を説明する。

【0058】(i)に関して、磁性記憶素子21-2に、より確実に所望の情報を書き込むためには、ビット線23-1およびビット線23-2のいずれにも逆方向に電流を流せばよい。磁性記憶素子21-2は、ビット線23-1とビット線23-2との間に位置している。したがって逆方向に電流を流すことにより、いわゆるアンペールの右ねじの法則に基づいて、ビット線23-2による磁界と同じ方向にさらにビット線23-1による磁界が磁性記憶素子21-2に印加されることになる。これにより、より確実に磁性記憶素子21-2へ情報を記録できる。このときビット線23-2に流す電流の大きさは、ビット線23-1に流れる電流の大きさよりも小さいほうがよい。ビット線23-2に大きな電流を流すと、別の記憶素子21-1にも大きな磁界が印加され、誤って書き込みを行うおそれがあるからである。

【0059】続いて(ii)に関して、他の磁性記憶素子21-1に誤って情報を書き込まないようにするためには、ビット線23-1およびビット線23-2のいずれにも逆方向に電流を流せばよい。ビット線23-2による磁界は、対象となる磁性記憶素子21-2のみならず、他の磁性記憶素子21-1にも印加される。ビット線23-2に流れる電流が何らかの原因で大きくなった場合には、他の磁性記憶素子21-1に誤って情報が書き込まれるおそれがある。したがって、逆方向に電流を流すことにより、いわゆるアンペールの右ねじの法則に基づいて、ビット線23-2による磁界とは逆方向、すなわち打ち消す方向に、ビット線23-1からの磁界が他の磁性記憶素子21-1に印加されることになる。これにより磁性記憶素子21-1へ誤って情報を書き込むことを防げる。このときビット線23-1に流れる電流の大きさは、ビット線23-2に流れる電流の大きさよりも小さいほうがよい。その理由は、ビット線23-1に大きな電流を流すと、磁性記憶素子21-1にも大きな磁界が印加され、誤って書き込みを行うおそれがあること、および磁界は電流からの距離に比例するので、ビット線23-1に流れる電流が小さくてもビット線23-2からの磁界を相殺できることによる。

【0060】以上の説明からも明らかなように、ビット線23-1およびビット線23-2のいずれにも逆方向に電流を流すことで、(i)および(ii)の双方を実現できると結論付けられる。この結論に基づけば、3つ以上のセルから形成される磁気メモリセルユニットを利用する場合には、次のように一般化できる。すなわち、対象となる磁性記憶素子に対応する対象ビット線より上に位置するビット線には対象ビット線と同じ方向に、より小さい電流を流し、対象ビット線より下に位置するビット線には対象ビット線と逆方向に、より小さい電流を流せばよい。これにより、対象となる磁性記憶素子により大きな磁界を印加し、かつ対象となる磁性記憶素子以外の磁性記憶素子に印加される磁界を相殺することがで

き、書き込み性を向上できる。なお、対象ビット線以外のビット線に流すべき電流の大きさは、相互で同じでも異なってもよい。

【0061】続いて、各磁性記憶素子21-1、21-2から情報を読み出す動作に関しては、駆動回路12

(図1)は、図3の(c)および(d)を参照して説明したように動作する。例えば、駆動回路12(図1)が磁性記憶素子21-2に記憶されている情報を読み出す場合を説明すると、読み込み用ワード線駆動回路15

(図1)は、まず読み込み用ワード線25を選択して読み込み用ワード線電圧を印加し、トランジスタ22を導通させる。トランジスタ22の第3の端子22-3は接地されているので、磁性記憶素子21-2の一方の端子電圧は0V(基準電圧)になる。続いてビット線駆動回路13(図1)はビット線23-2を選択し、ビット線23-2から磁性記憶素子21-2に一定の電流を流す。ビット線駆動回路13(図1)は磁性記憶素子21-2の端子間電圧を検出し、磁性記憶素子21-2の抵抗値を得る。駆動回路12(図1)は、磁性記憶素子21-2の抵抗値が比較的低い所定の値であれば、磁性記憶素子21-2に保持された情報は「0」とであると判断し、磁性記憶素子21-2の抵抗値が比較的高い所定の値であれば、磁性記憶素子21-2に保持された情報は「1」とであると判断する。なお、この判断は抵抗値に限らず、検出された電圧値をそのまま利用して行ってもよい。

【0062】情報の読み込みをさらに正確に行うために、別のビット線23-1をリファレンスビット線として利用してもよい。磁性記憶素子21-2に記憶されている情報を読み出す場合には、ビット線23-2のみならず、ビット線23-1にも基準電流となるリファレンス電流を流す。このとき、磁性記憶素子21-1には、ビット線駆動回路13(図1)により予め認識されている設定値、例えば、「1」が格納されている。検出された磁性記憶素子21-2の抵抗値が磁性記憶素子21-1の抵抗値(リファレンス抵抗値)と同じ場合には、磁性記憶素子21-2には「1」が格納されていると判断できる。異なる場合には、磁性記憶素子21-2には

「0」が格納されていると判断できる。この判断は抵抗値に限らず、検出された電圧値をそのまま利用して行ってもよい。これにより、駆動回路12(図1)はより正確に情報を読み出すことができる。なお、設定値は

「0」または「1」に限らず、予め認識されている抵抗値、電流値、電圧値等であってもよい。例えば、検出された磁性記憶素子の抵抗値と、設定値としてのリファレンス抵抗値とが同じであるか否かに基づいて、磁性記憶素子の抵抗値が設定値よりも大きければ「1」、小さければ「0」などとして磁性記憶素子に記憶されている情報を読み出すことができる。

【0063】磁気メモリセルユニットは、単一のトラン

ジスタに垂直な方向に各々が磁性記憶素子を含む複数のセルを積層させて形成されている。通常は、磁性記憶素子には、独立した情報（単なる0または1を表す情報）が格納される。しかし、単一の磁気メモリセルユニット内に積層されたN個の磁性記憶素子を利用して、N桁の2進数を表すよう書き込みおよび読み出しができる。図2に示される磁気メモリセルユニット20は、磁性記憶素子を2個含むので2桁の2進数を表すことができる。例えば、磁性記憶素子21-1は下位ビット、磁性記憶素子21-2は上位ビットを表す。別の例として、図14に示すような4個の磁性記憶素子を含む磁気メモリセルユニット140を利用すれば、4桁の2進数を表すことができる。磁気メモリセルユニット140は、第1セル27-1（図2）および第2セル27-2（図2）によって示されるセルを4つ積層させることにより形成できる。さらに別の例として、例えば8個の磁性記憶素子を含む磁気メモリセルユニットを利用すれば、8桁の2進数、すなわち1バイトの情報を格納できる。この磁気メモリセルユニットは、セルを8個積層することにより形成できる。このように、関連のあるビット情報を、例えば1つの磁気メモリセルユニットを利用して記憶し、取り扱うことができるので、メモリ管理が容易になる。

【0064】

【発明の効果】本発明の磁気ランダムアクセスメモリによれば、単一のトランジスタに複数の磁性記憶素子が接続されるように形成されているので、構成素子数が少ない、集積度の高いメモリを得ることができる。より特定のには複数の磁性記憶素子は、トランジスタに垂直な方向に積層されているので、集積度を劇的に向上できる。

【0065】本発明の磁気ランダムアクセスメモリによれば、所定の電圧が印加された第3の端子をさらに備え、第1の端子に印加された電圧に基づいて、第3の端子を介して第2の端子に電流が流れるので、情報の読み出しのための電圧検出が可能になる。

【0066】本発明の磁気ランダムアクセスメモリへの情報の書き込みは、ビット線書き込み電流およびワード線書き込み電流による磁界を利用して行うので、多数の磁性記憶素子のうちから所望の磁性記憶素子を特定して情報を書き込むことができる。このとき書き込み用ワード線とビット線とが直交し、かつ書き込み用ワード線とビット線との間に磁性記憶素子が位置するように構成されるので、もっとも大きい合成磁界が磁性記憶素子に印加され、確実に書き込みが可能になる。

【0067】本発明の磁気ランダムアクセスメモリに情報を記録する際に、選択の対象となるビット線以外の少なくとも1つのビット線に電流を流すことにより、書き込み性を向上できる。少なくとも1つのビット線の電流の大きさはビット線書き込み電流の大きさよりも小さいので、他の磁性記憶素子に情報が誤って書き込まれるこ

とがなく、さらに書き込み対象の磁性記憶素子にはより強い磁界が印加されるので、より確実に情報を書き込むことができる。また、少なくとも1つのビット線の電流の方向は、少なくとも1つのビット線と対象ビット線との位置関係に応じて変えられるので、磁性記憶素子に印加される磁界の方向を考慮した、高い信頼性を有する情報の書き込みが可能になる。より具体的には、少なくとも1つのビット線が対象ビット線より上に位置する場合には対象ビット線と同じ方向に電流を流し、少なくとも1つのビット線が対象ビット線より下に位置する場合には対象ビット線と逆方向に電流を流すようにすることにより、記憶素子への書き込みを正確に行うことができ、同時に他の記憶素子への誤った書き込みを防止できる。

【0068】またN個の磁性記憶素子を用いてN桁の2進数を表すよう情報を記録することにより、関連のあるビット情報をまとめて取り扱えるので、メモリ管理が容易な磁気ランダムアクセスメモリを得ることができる。

【0069】また、本来の磁性記憶素子の端子電圧だけでなく、対象ビット線と異なるリファレンスビット線に接続された磁性記憶素子の基準端子電圧を利用して格納された情報の内容を判断するので、より正確に情報を読み込むことができる。

【図面の簡単な説明】

【図1】 本発明による磁気ランダムアクセスメモリを示す図である。

【図2】 本発明による磁気メモリセルユニットの模式図および断面図である。

【図3】 磁性記憶素子に情報を記憶し、磁性記憶素子から情報を読み出すための動作原理を示す図である。

【図4】 トランジスタおよび読み込み用ワード線が形成された基板を示す図である図である。

【図5】 第1孤立プラグとグランド接続配線とがさらに形成された基板を示す図である。

【図6】 書き込み用ワード線と第2孤立プラグとがさらに形成された基板を示す図である。

【図7】 第1下部電極がさらに形成された基板を示す図である。

【図8】 磁性記憶素子がさらに形成された基板を示す図である。

【図9】 ビット線と第3孤立プラグとがさらに形成された基板を示す図である。

【図10】 書き込み用ワード線と第4孤立プラグとがさらに形成された基板を示す図である。

【図11】 第2下部電極がさらに形成された基板を示す図である。

【図12】 磁性記憶素子がさらに形成された基板を示す図である。

【図13】 ビット線と第5孤立プラグとがさらに形成された基板を示す図である。

【図14】 4個の磁性記憶素子を含む磁気メモリセルユニットを示す図である。

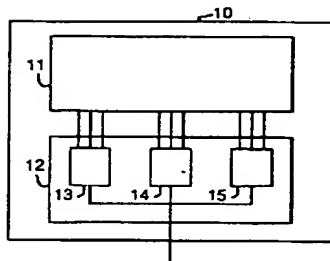
【図15】 磁気ランダムアクセスメモリのメモリセルの模式図および断面図である。

【符号の説明】

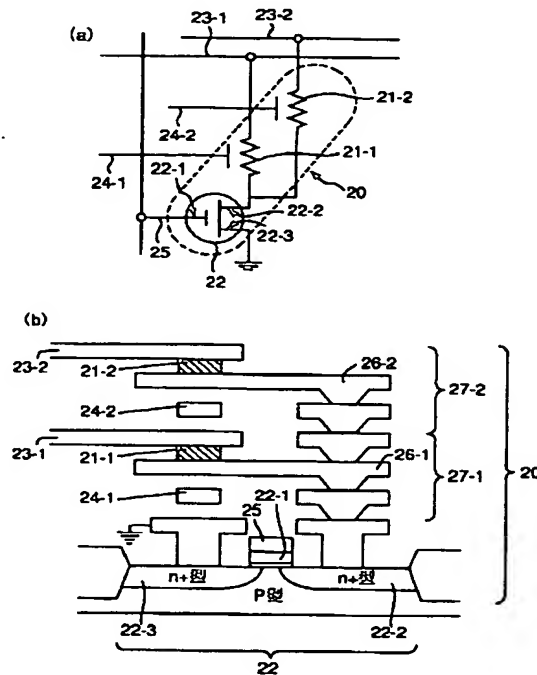
20 磁気メモリセルユニット、22 トランジスタ、

22-1 第1電極、22-2 第2電極、22-3 第3電極、23-1 ビット線、23-2 ビット線、24-1 書き込み用ワード線、24-2 書き込み用ワード線、25 読み込み用ワード線、26-1 下部電極、26-2 下部電極、27-1 第1セル、27-2 第2セル

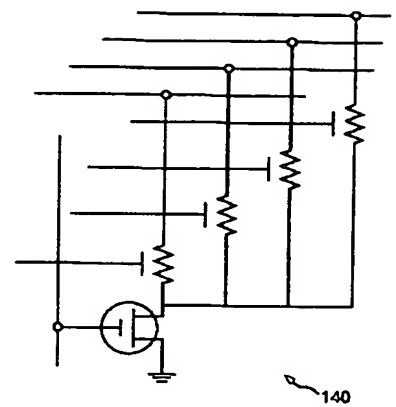
【図1】



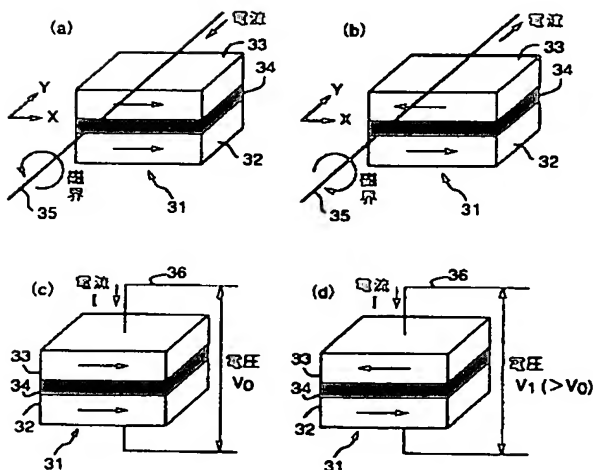
【図2】



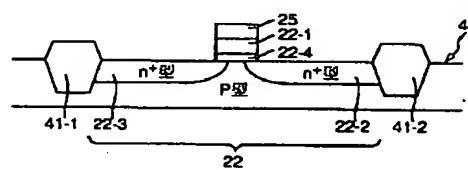
【図14】



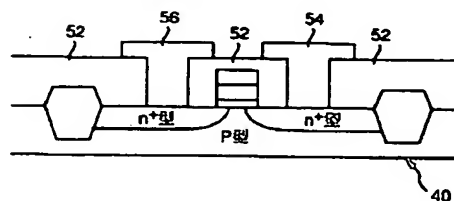
【図3】



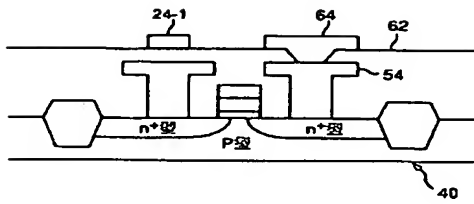
【図4】



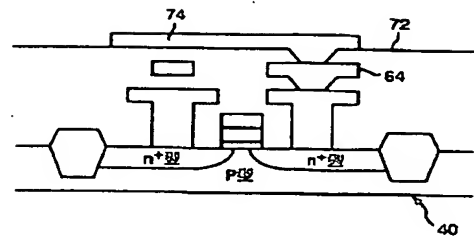
【図5】



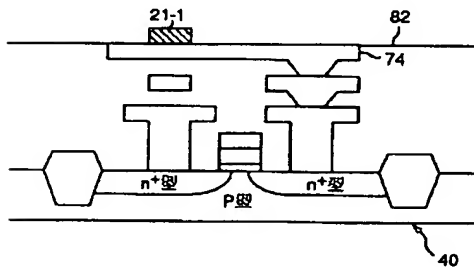
【図6】



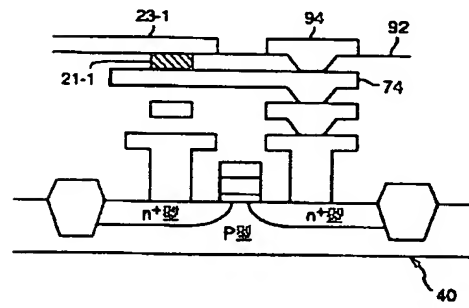
【図7】



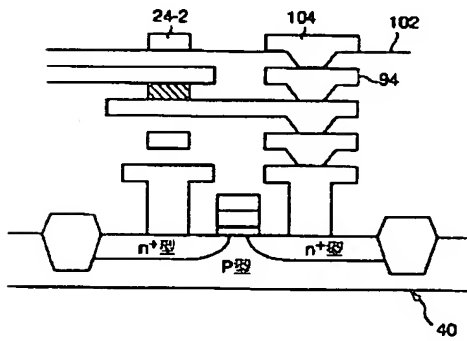
【図8】



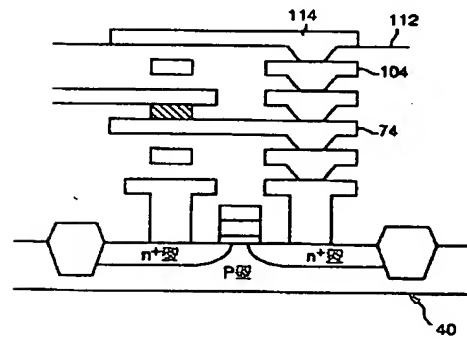
【図9】



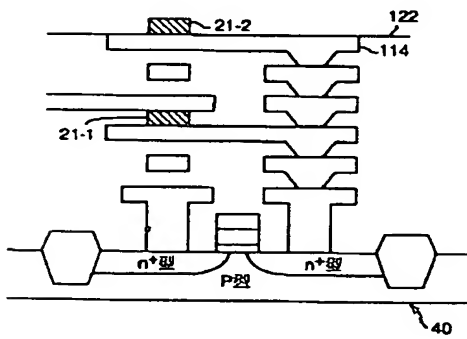
【図10】



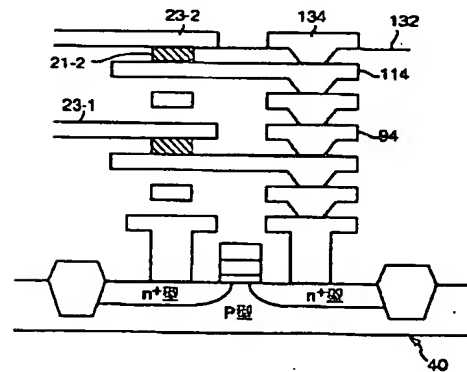
【図11】



【図12】



【図13】



【図15】

